

# 阻抗精度和焊接工艺影响 信号质量的案例解析

2025

一博科技-SI研究部

时间：2025.

EDADOC, Your Best Partner.



高速设计到底难不难？

难

VS

不难

高速先生，让您的设计从难变成不难！

## ➤ Losses

Conductor loss

Dielectric loss

## ➤ Reflection

Impedance mismatches from:

TX, channel, via, connector, RX

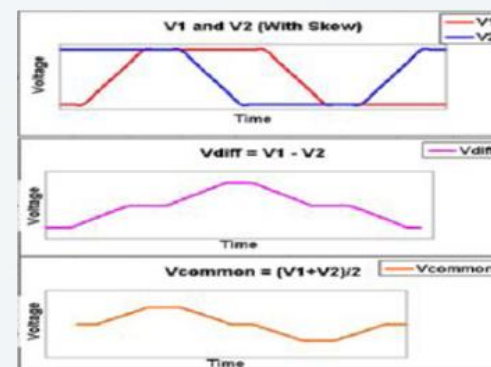
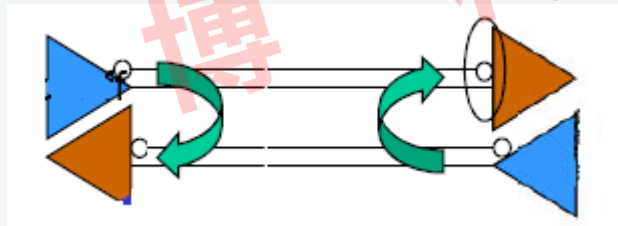
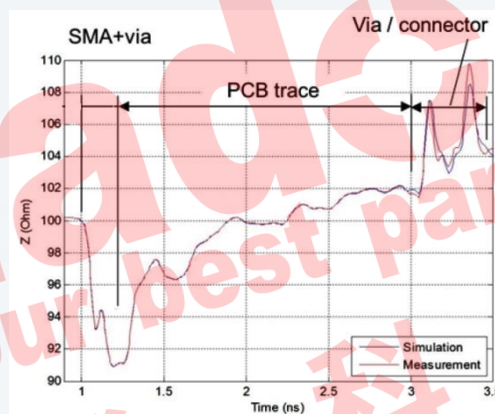
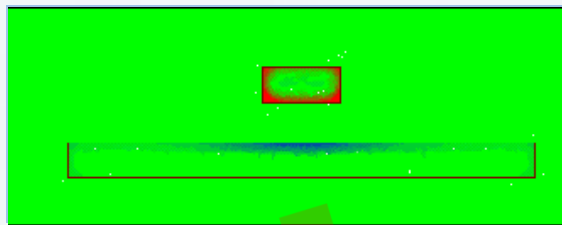
## ➤ Noise: crosstalk

Signals to signals

PWR to signals

## ➤ Mode conversion

Diff to diff and common to diff coupling



- 拓扑结构
- 端接匹配
- 线路阻抗
- 线长影响
- 串扰影响
- 电源影响
- 芯片驱动能力及片内端接（芯片因素）

信号质量

与

时序



# 大家的问题点通常有哪些？

- 损耗到底控制多少好？
- 不同板子搭配的系统阻抗该控制多少？
- 什么时候可以通过仿真解决问题？
- 什么时候需要测试？

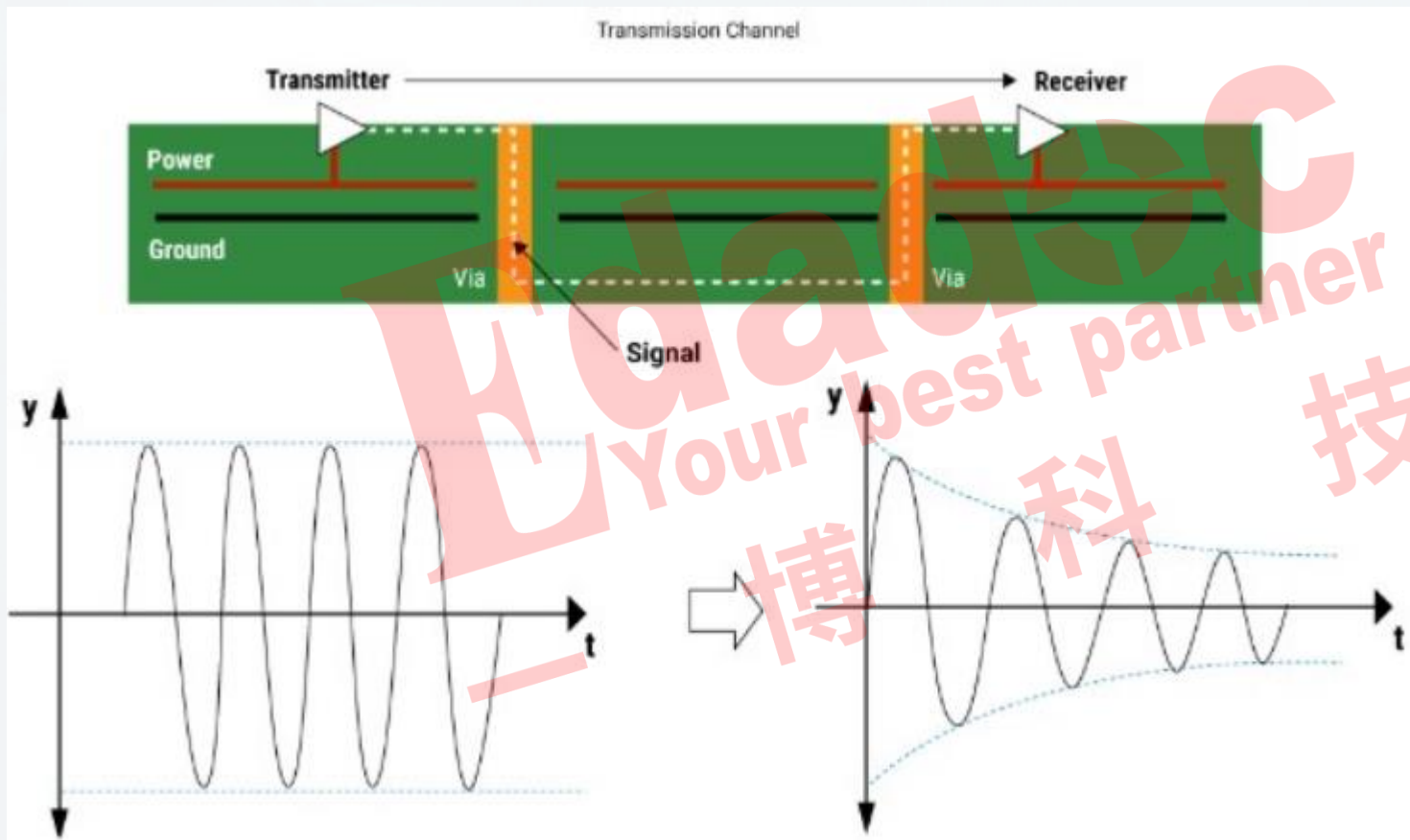


1

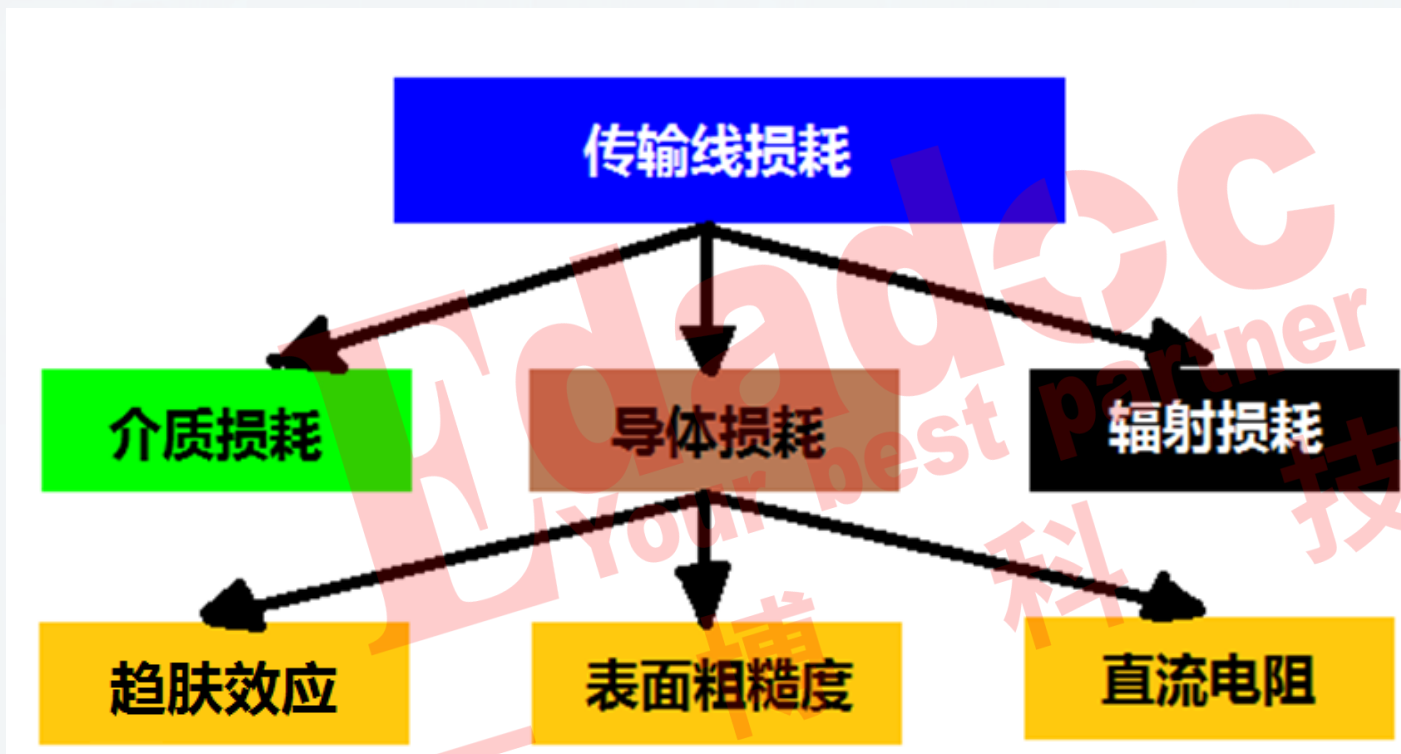
# 损耗影响案例



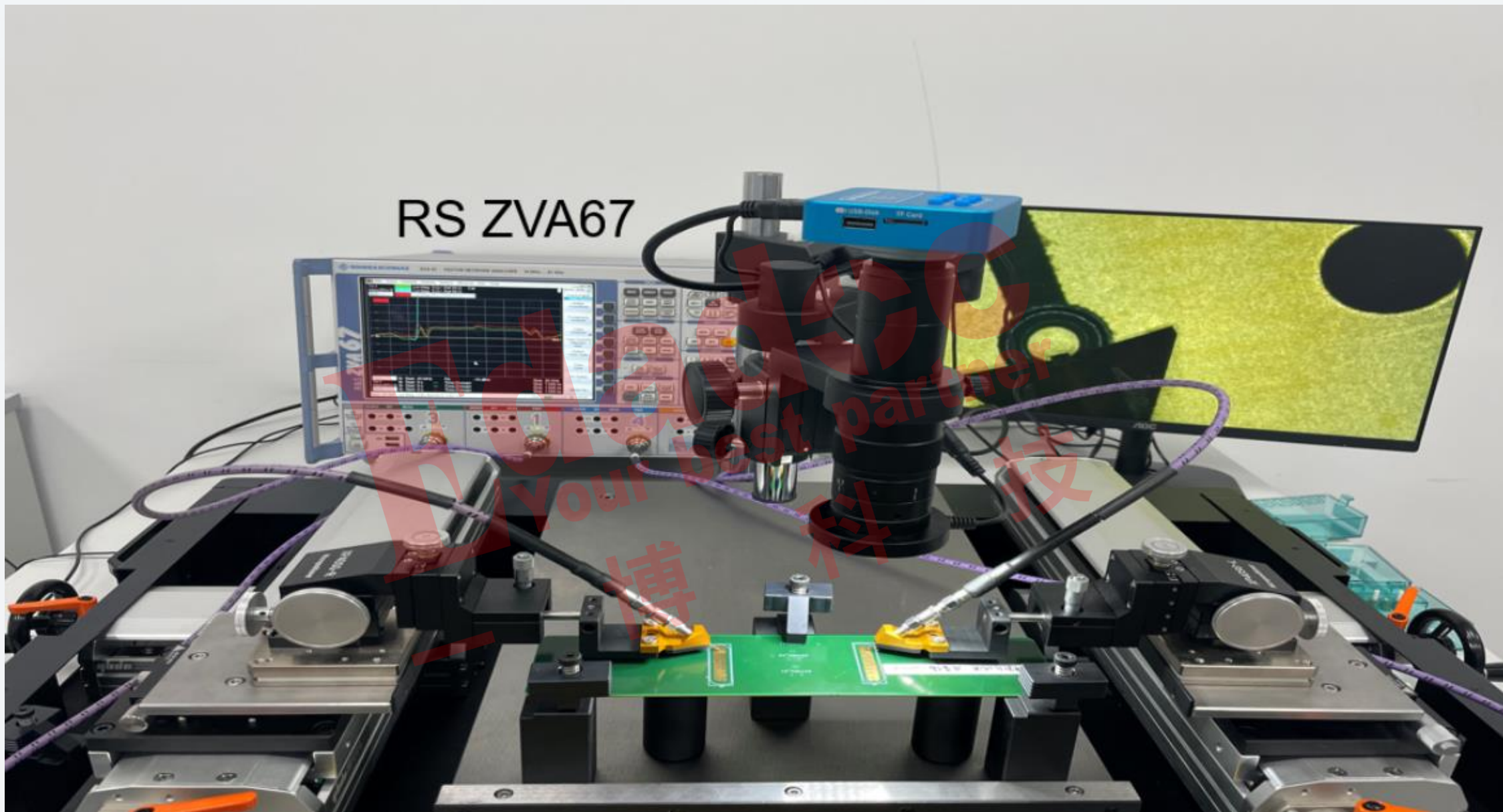
- 损耗又叫衰减，信号衰减是信号通过传输介质传播时信号强度(幅度)降低的度量，衰减会随着频率的增加而增加。



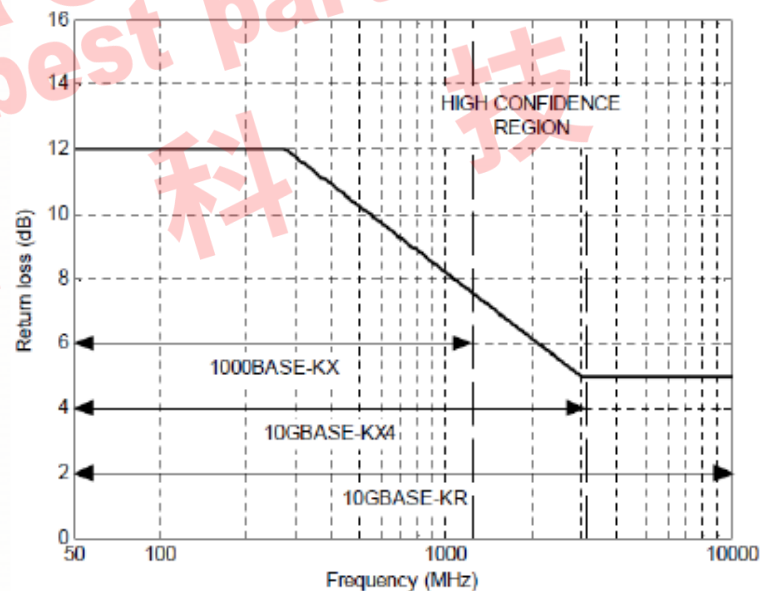
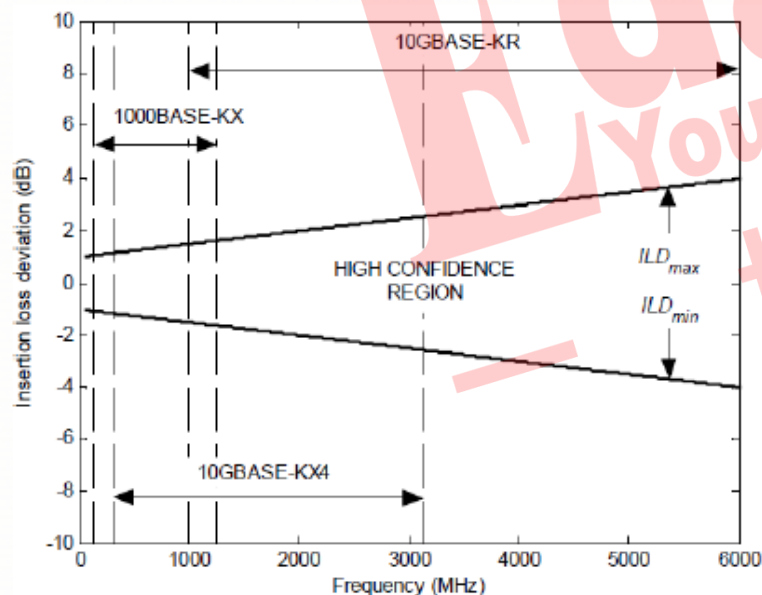
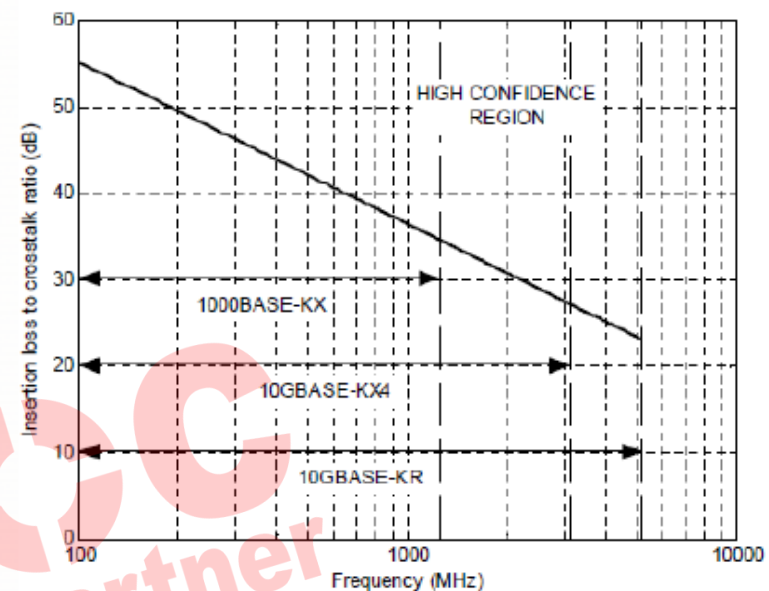
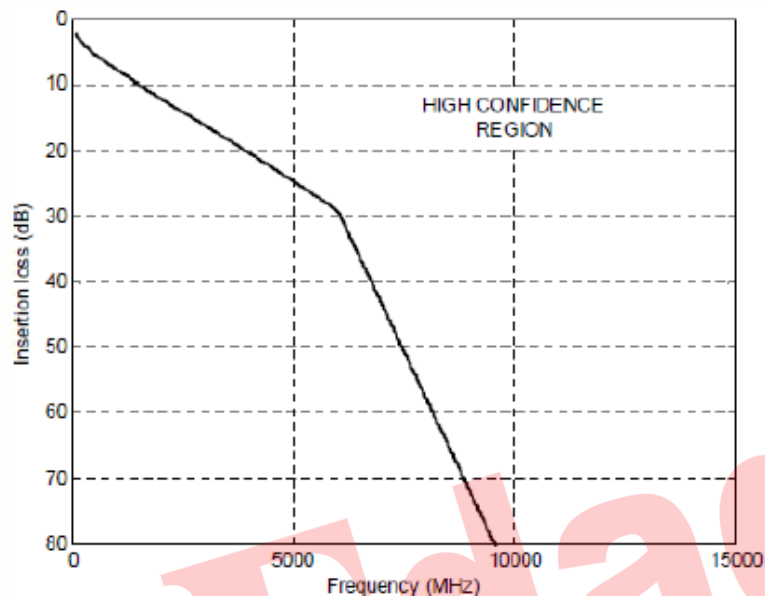
- 传输线损耗分类

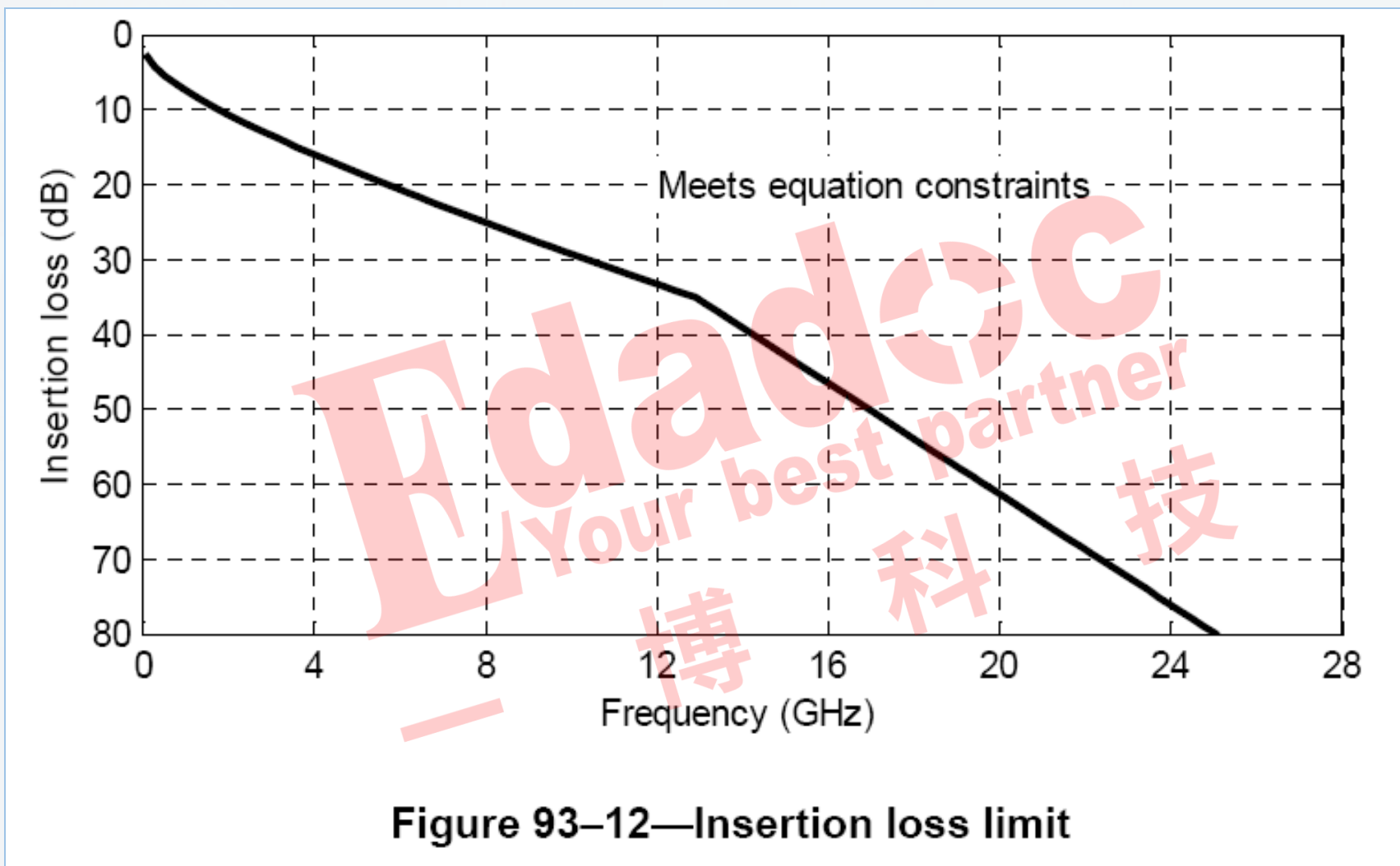






- 在高速串行总线的设计中，PCB走线的“插入损耗”（单线看“S21”参数，差分看“SDD21”参数）成为保证信号质量的重要参数
- 重要性等同于阻抗控制
- 过大的插入损耗，会降低眼图的眼高，增大Jitter
- 太小的插入损耗，可能会导致反射和干扰没有得到足够的衰减
- 衡量和控制损耗成为系统设计成功的重要因素
  - 在4 GHz时，带状线走线损耗不大于-0.75 dB/inch
  - 在8 GHz时，带状线走线损耗不大于-1.50 dB/inch
  - 在4 GHz时，微带线走线损耗不大于-0.79 dB/inch
  - 在8 GHz时，微带线走线损耗不大于-1.58 dB/inch
  - 同时在4 GHz时单位长度损耗要求不小于-0.55 dB/inch
  - 以上都是指差分损耗SDD21，并且只关注走线，不包括Via，线缆，连接器等的影响





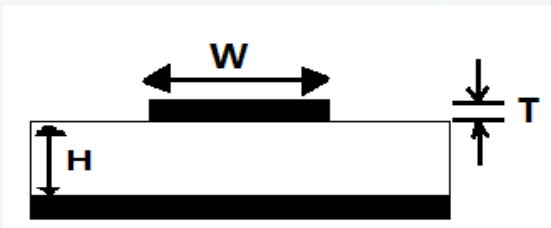
2

## 阻抗影响案例





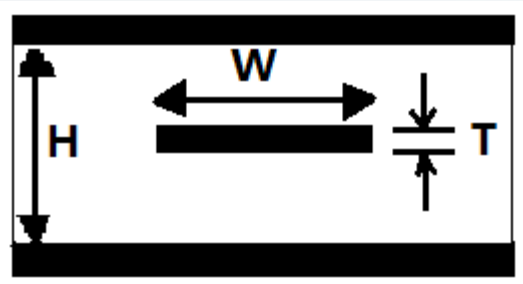
- 现在还有谁不会算阻抗的吗?
- 微带线阻抗计算



$$Z_0 = \frac{87}{\sqrt{E_r + 1.41}} \ln \left( \frac{5.98H}{0.8W + T} \right) \text{ Ohm}$$

(Valid when  $0.1 < W/H < 2.0$  and  $1 < E_r < 15$ )

- 带状线阻抗计算



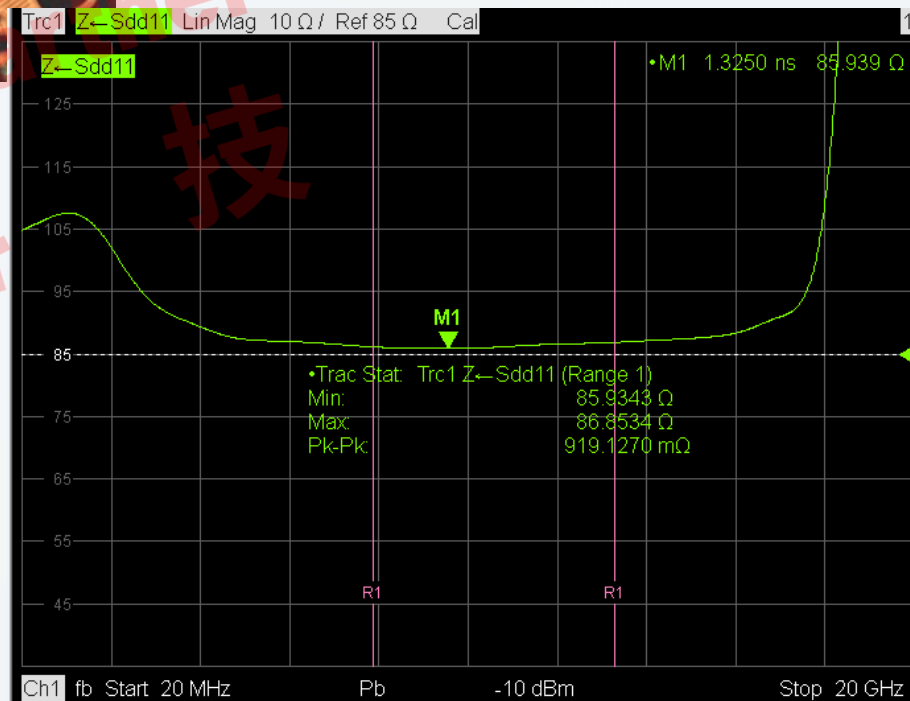
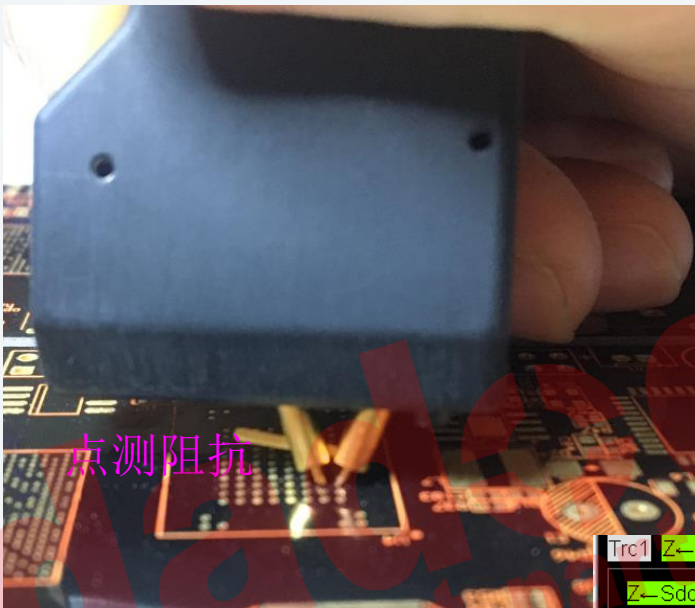
$$Z_0 = \frac{60}{\sqrt{E_r}} \ln \left( \frac{4H}{0.67\pi(T + 0.8W)} \right) \text{ Ohm}$$

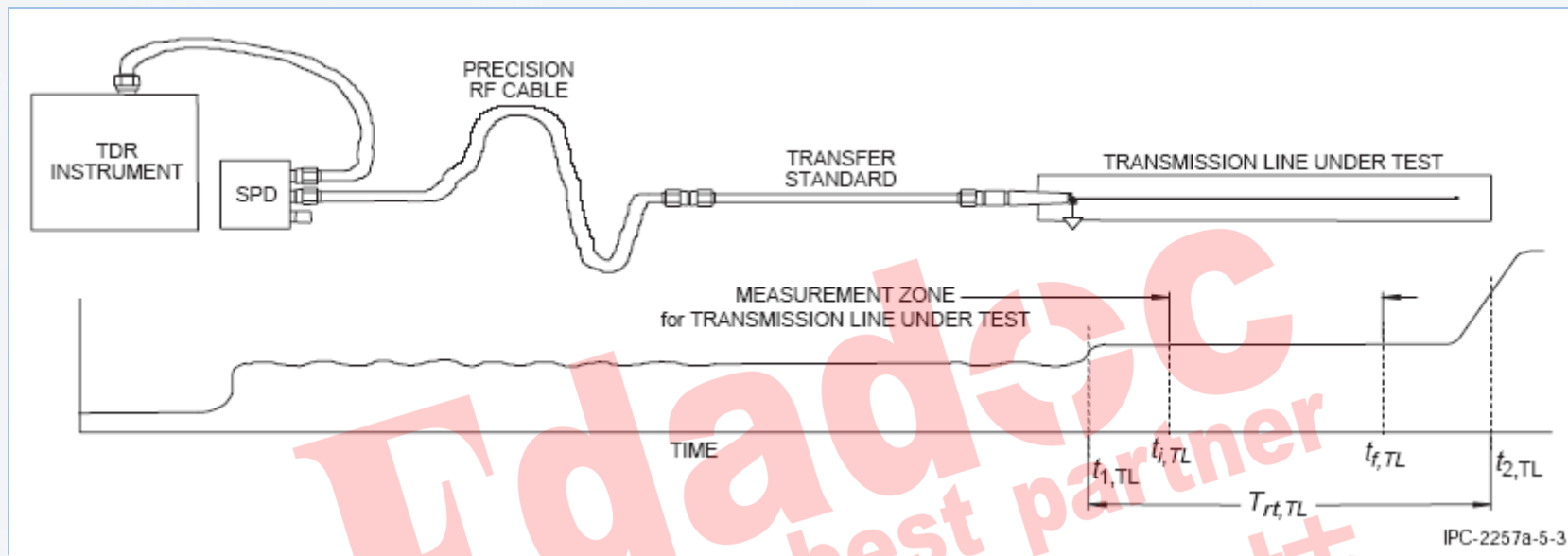
(Valid when  $W/H < 0.35$  and  $T/H < 0.25$ )



1. 介电常数:材料性质的一种, 决定单位电压下, 单位容量内材料可存储的静电能。其数字代表的意义为材料的电容比(相对于该材料在真空时的电容).又称为漏(透)电率 permittivity. Ex. 空气=1, FR-4=4.3±0.4, RCC=3.4-3.6.依所选材料调整。介电常数增大,阻抗减小
2. 线路到参考平面距离:距离增加阻抗增大
3. 线宽:线宽增加阻抗变小
4. 铜厚:铜厚增加阻抗变小
5. 相邻线间距 (针对差分): 间距增大阻抗增大
6. 绿油厚度:厚度增加阻抗变小

# 阻抗测试展示





Step 3 – Compute the round trip propagation time of the transmission line using:

$$T_{rt,TL} = t_{2,TL} - t_{1,TL}$$

**测量区间为DUT的30%~70%时间区域  
(摘自IPC\_2557A)**

Step 4 – Determine the initial instant,  $t_{i,TL}$ , of measurement zone (see Figure 5-3) using:

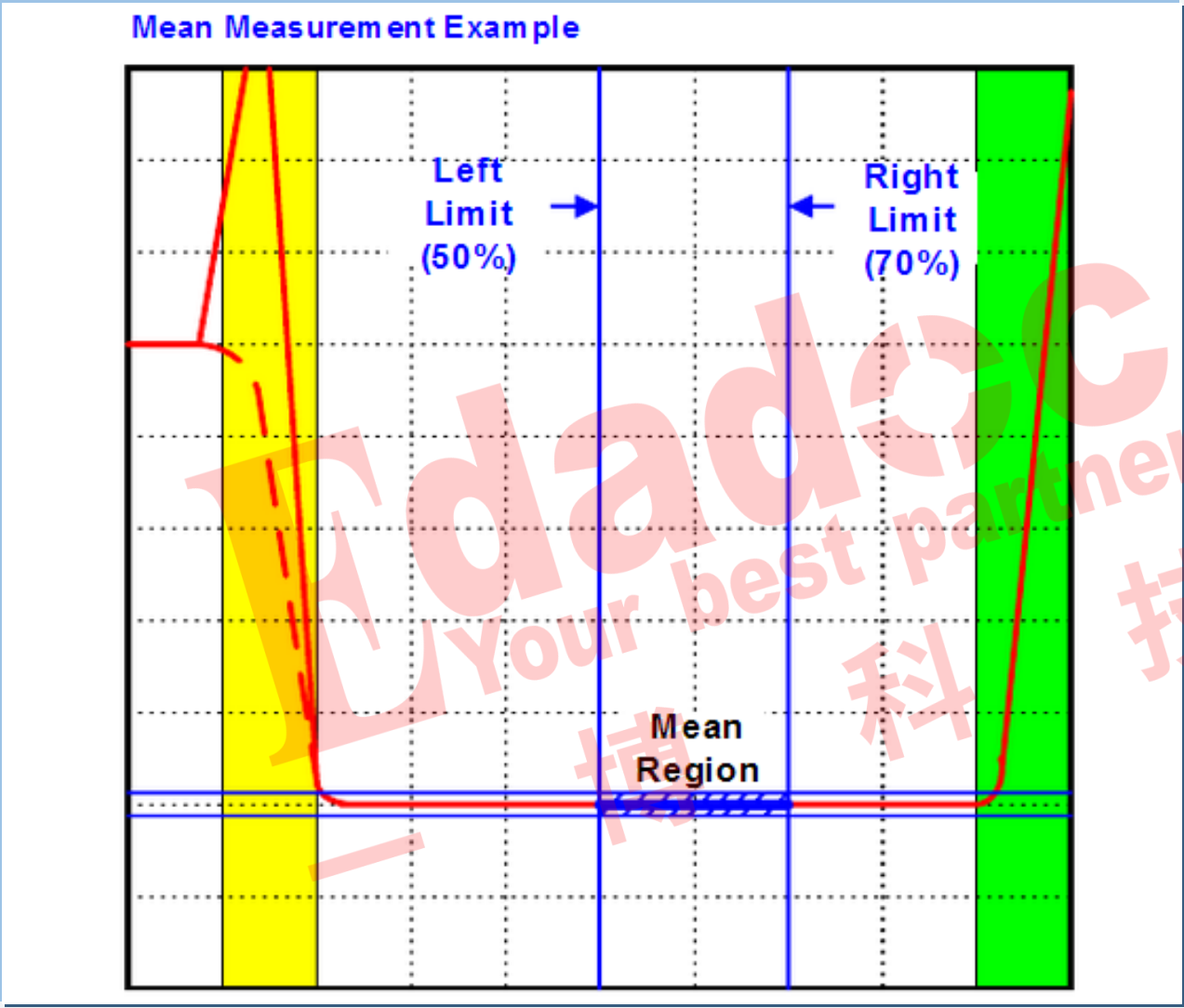
$$t_{i,TL} = t_{1,TL} + x_{i\%} T_{rt,TL}$$

where  $x_{i\%}$  is the lower limit of the measurement zone and is 30 % unless otherwise specified by the user.

Step 5 – Determine final instant,  $t_{f,TL}$ , of measurement zone (see Figure 5-3) using:

$$t_{f,TL} = t_{1,TL} + x_{f\%} T_{rt,TL}$$

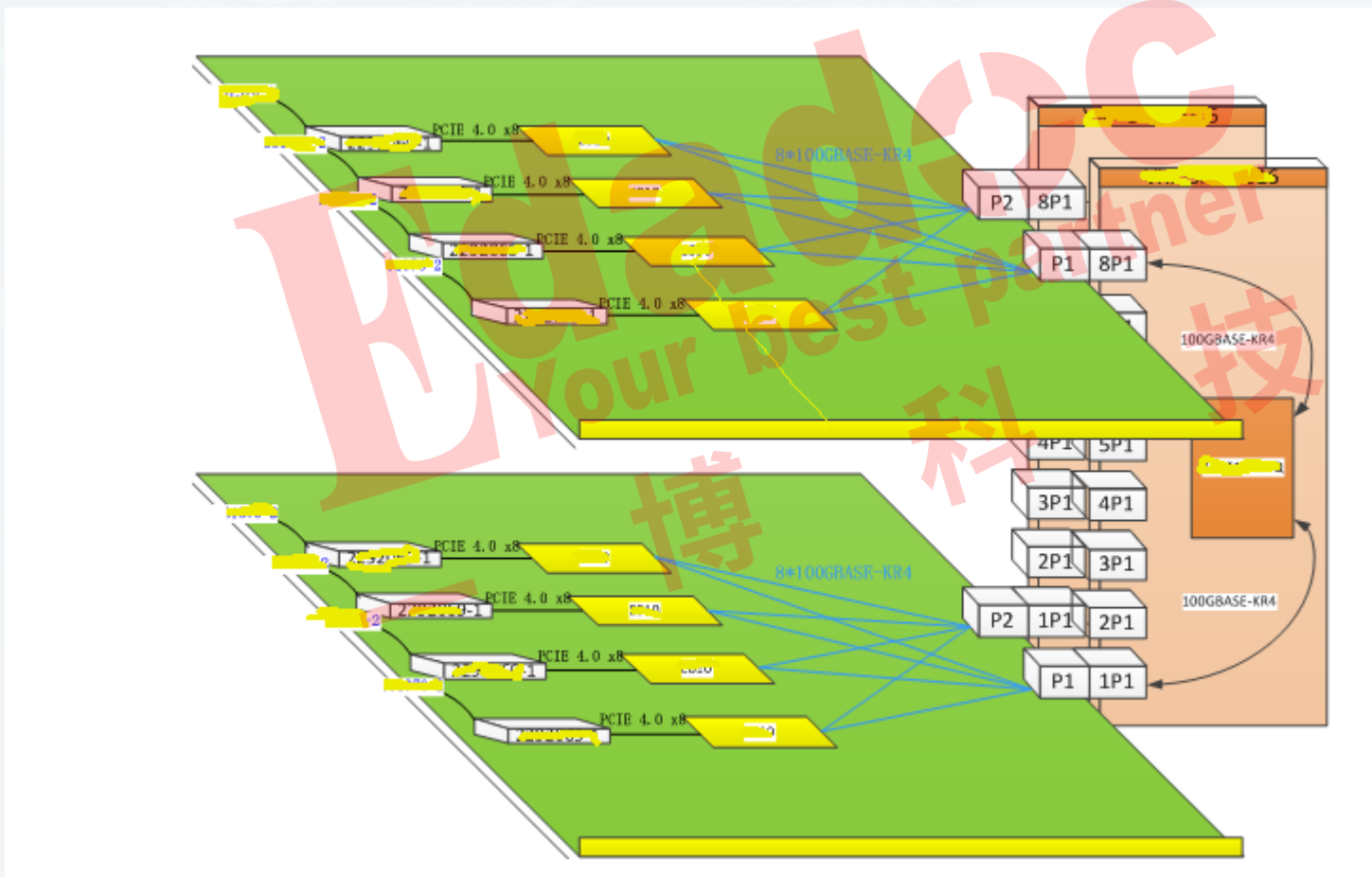
where  $x_{f\%}$  is the upper limit of the measurement zone and is 70 % unless otherwise specified by the user.



测量区间为TDR显示的50%~70%时间区域  
(摘自Intel PCB test methodology)



- 整个系统都是一起设计；
- 有标准子卡，只需要设计和其搭配的主板或底板（背板）；
- 一个系统分成几家来设计；



3

## 仿真还是测试？



## 仿真无用论，假大空

## 仿真无所不能，有问题就找仿真看看

下午好，我们有一个核心板计划采用LGA的封装，需要知道要设计多少引脚数，引脚尺寸与间距多大才能在过炉时支撑起模块，不至于造成引脚的焊锡短路。所以想请问下一博是否有这方面的仿真？然后通过仿真确定最终方案可行性。

仿真项目请评估，谢谢~

备注：目前板卡已设计、制板、焊接完成，客户在调试阶段

客户低频能通过，高频测试有问题，从仿真角度分析一下原因，最好和客户当面沟通一下

先看一下设计是否有明显的瑕疵，正常不应该有，因为客户之前批量过没有问题，换颗粒批量后，批量性速率跑不上，降速可以稳定然后请SI帮忙是否可以找到问题点，协助分析debug呀，如果客户现在要做仿真，是否仿真可以协助定位问题。

总，请你们的专家帮我们看看

量产板卡使用[REDACTED]的颗粒1800MHz速率没有问题，只换了[REDACTED]的[REDACTED]颗粒1800MHz有异常

- 我们擅长做什么？
  - SI信号完整性仿真（芯片及PCB板级）  
DDR<sub>x</sub>、LPDDR<sub>x</sub>等并行信号；  
10/25G/28G/56G/112G/224G等高速串行信号仿真；
  - PI电源完整性仿真（IR-Drop，铜皮温升、PDN阻抗、谐振分析、有源噪声等）
  - SI/PI等高速信号设计理念培训、咨询及问题debug等；
  - SFP+、QSFP、CFP2、Pcie3/4/5 等公用及定制化测试夹具
  - （无源）S参数（损耗）及TDR（阻抗）测试；
  - （有源）信号测试，需要用到高端示波器的都能（波形、眼图及一致性等）；
- 我们不能做什么？
  - 射频、模拟电路仿真（可尝试）
  - EMC电磁兼容仿真（可尝试）
  - 系统热分析仿真、结构仿真

## (LP/G)DDR3/4/5等源同步信号仿真

- 端接、拓扑结构优化、驱动/ODT选择、高低温、串扰、时序

## 高速串行信号仿真

- 5Gbps以上信号无源、有源仿真（PCIE3/4/5、10GKR、SFP+、25Gbps+~224G-PAM4）

## 电源完整性仿真（PI）

- AC PDN阻抗、平面谐振、DC IR-drop（压降）

## Local Bus等多负载系统仿真

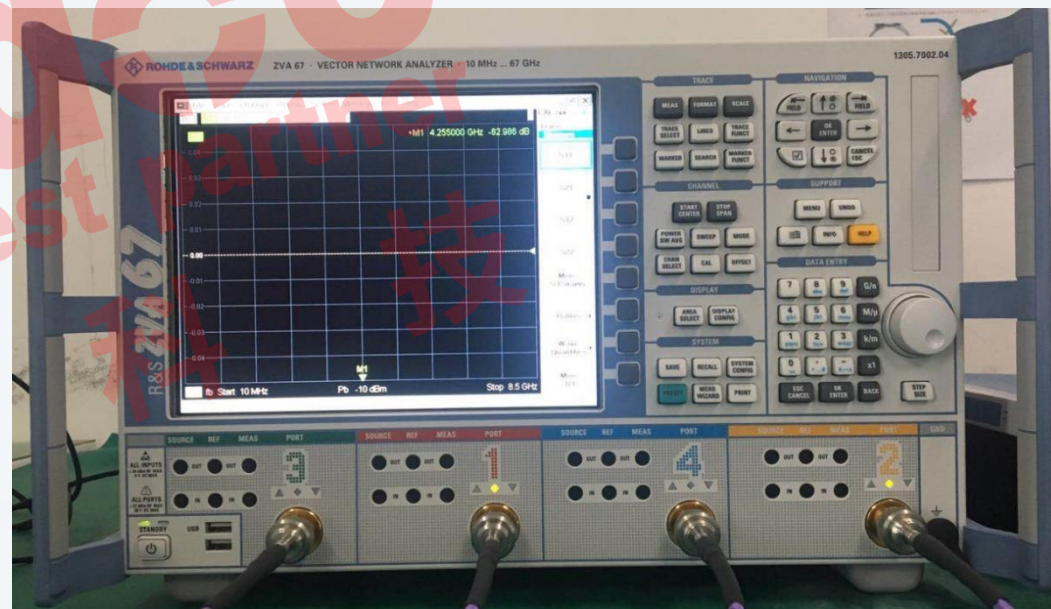
- 端接、拓扑结构优化、驱动、时序

## 其他

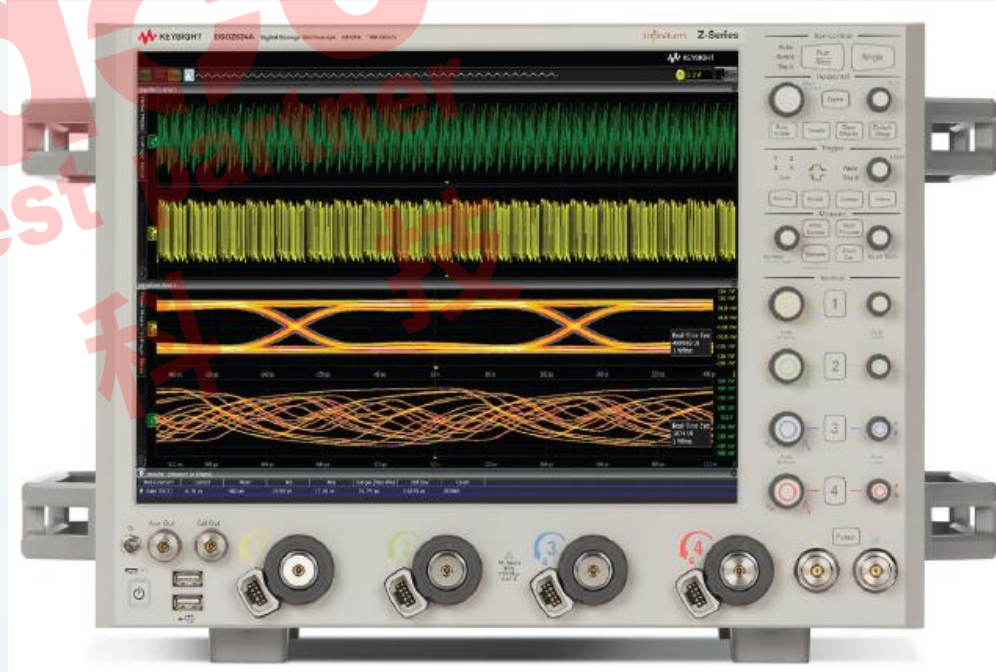
- EMI/EMC仿真、并行信号仿真、协助Debug
- 项目预研（56Gbps+信号）、测试板验证、测试治具



- Keysight N5227B : 10 MHz to 67 GHz
- R&S ZVA67: 10MHz~67GHz



- Keysight UXR0594B: 1.85mm接口
- Keysight DSOZ594A: 1.85mm接口+3.5mm接口



测试	比如QSFP+、SFP+等10G光接口的测试
测试	
测试	
测试	比如QSFP+、SFP+等10G光接口的测试
测试	5G/10G USB接口测试
测试	
测试	
测试	比如U.2接口、M.2接口等SATA/SAS信号的测试、其它板内可点测的serdes信号……

D9010CEIC	OIF-CEI 56G Compliance Test Application Software
D9050CEIC	Electrical TX Test SW for OIF-CEI-112G VSR/MR/LR
D9010SFPC	SFP+ Tx Compliance Software
D9040DDRC	DDR4 and LPDDR4 Tx Compliance Software
D9030DDRC	DDR3 and LPDDR3 Tx Compliance Software
D9050DDRC	DDR5 Tx Compliance Software,
D9050LDDC	LPDDR5 Tx Compliance Software
D9010CPHC	MIPI C-PHY Tx Compliance Software
D9020DPHC	MIPI D-PHY Tx Compliance Software
D9010BJBC	100GBASE-KR4 Tx Compliance Software
D9010CAUC	CAUI-4 Ethernet Tx Compliance Software
D9020USBC	USB 3.2 Tx Compliance Software

- 误码仪：双PG，不仅能测误码，还能加干扰测误码

N5991PC5A	PCI Express Gen 5.0 Receiver Test, CEM Spec,
M8091BSCA	RX Conformance Test Application for IEEE 802.3bs
M8091CKCA	Electrical Receiver Conformance Test Application for IEEE 802.3ck, 100G

- 矢网：

NO.	矢量网络分析仪测试项
1	插损
2	回损
3	串扰
4	驻波比
5	阻抗

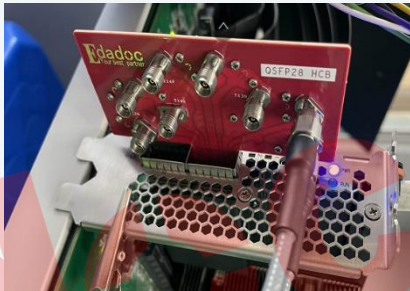
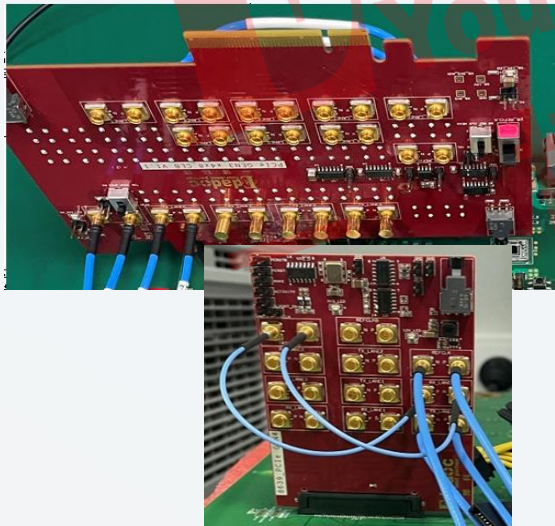




Test Report	
Fail	
Test Configuration Details	
Application	
Name	D984RD4C DDR4 Test
Version	2.08.0-0
Device Description	
Test Mode	Compliance
LPDDR4	No
LPDDR4X	No
Speed Grade	DDR4-1600
Custom Data Rate	1600
Burst Triggering Method	DQS-DQ Phase Difference
LPDDR4X Mode	Differential
Test Session Details	
Run Mode	Live Signals
Infinium SW Version	06.60.00001
Infinium Model Number	D502594A
Infinium Serial Number	MY61310101
Debug Mode Used	No
Compliance Limits	DDR4-1600 Test Limit (official)
Probe (Channel 1)	Model: 11690 Serial: U555393830 Head: MW1800A Atten: Calibrated (24 SEP 2021 10:29:00), Using Cal Atten (3.2772E+00) Skew: Not Calibrated, Using Default Skew
Probe (Channel 2)	Model: 11690 Serial: U555393828 Head: MW1800A Atten: Calibrated (24 SEP 2021 11:42:07), Using Cal Atten (3.1908E+00) Skew: Not Calibrated, Using Default Skew
Probe (Channel 3)	Model: 11690 Serial: U555393829 Head: E2076A Atten: Calibrated (24 SEP 2021 10:30:58), Using Cal Atten (3.2069E+00) Skew: Not Calibrated, Using Default Skew
Probe (Channel 4)	Model: 11690 Serial: U555393827 Head: MW1800A Atten: Calibrated (24 SEP 2021 11:41:16), Using Cal Atten (3.1820E+00) Skew: Not Calibrated, Using Default Skew
Last Test Date	2021-09-24 15:48:23 UTC +08:00

#### Summary of Results

Test Statistics	Margin Thresholds
Failed 0	Warning < 5 %
Passed 48	Critical < 0 %
Total 48	



Test Report	
Pass	
Test Configuration Details	
Application	
Name	D9018CAUC CAUI-4 Test
Version	2.50.3.0
Device Description	
Measurement Option	CAUI-4
Switch Option	Single Lane
Channel Pair	Real Edge
Lane Number	Lane0
User Comments	You may enter information here to be included in the report.
Test Session Details	
Infinium SW Version	06.60.00001
Infinium Model Number	D502594A
Infinium Serial Number	MY61310101
Debug Mode Used	No
Compliance Limits	IEEE 802.3 CAUI-4 Test Limit (Official)
Last Test Date	2021-10-19 17:45:30 UTC +08:00

#### Summary of Results

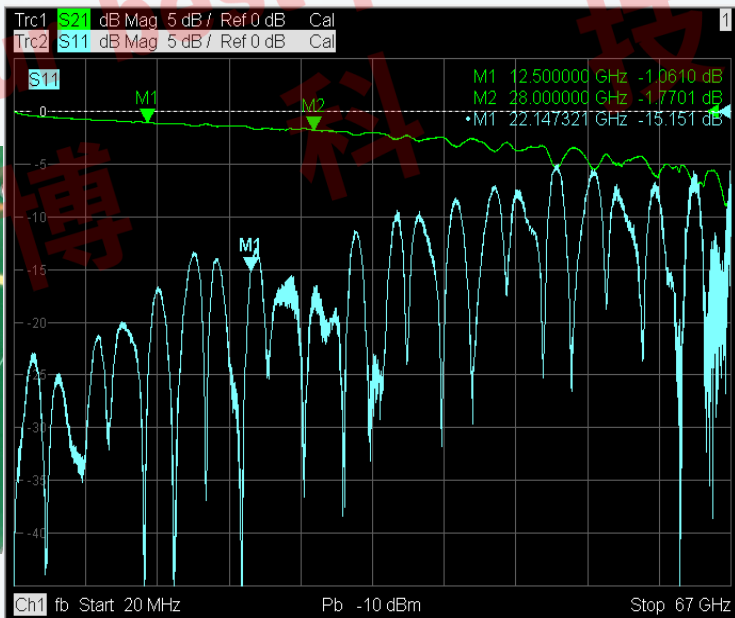
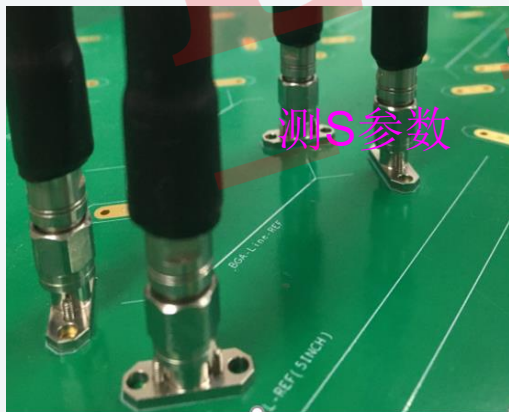
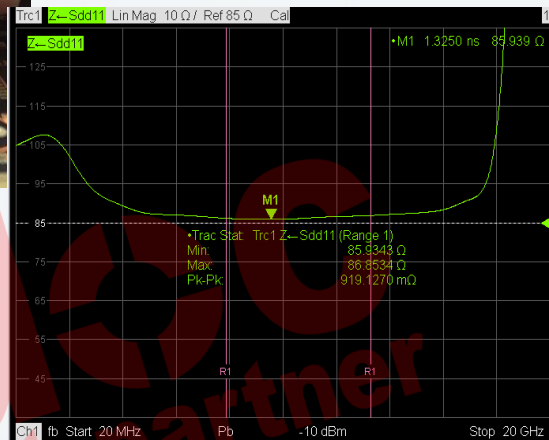
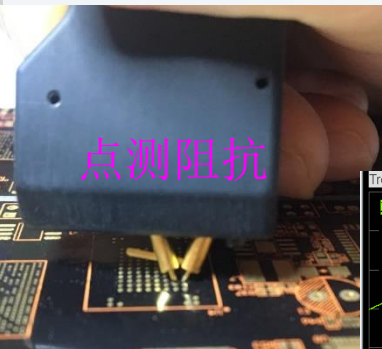
Test Statistics	Margin Thresholds
Failed 0	Warning < 5 %
Passed 8	Critical < 0 %
Total 8	

Pass	Failed	# Trials	Test Name (click to jump)	Actual Value	Margin	Pass Limits
✓	0	1	Differential Peak-to-Peak Output Voltage Test	478 mV	46.9	VALUE <= 900 mV
✓	0	1	AC Common Mode Output Voltage Test	8.40 mV	52.0	VALUE <= 17.50 mV
✓	0	1	DC Common Mode Output Voltage Test	-14.35 mV	9.2	> -900.00 mV <= VALUE <= 2.00000 V
✓	0	1	Single-Ended Output Voltage Test	-102 mV	8.1	> -400 mV <= VALUE <= 3.300 V
✓	0	1	Signaling Rate	25.780957596 Gbps	44.3	> 25.778671875 Gbps <= VALUE <= 25.783828125 Gbps
✓	0	1	Eye Height_A	189.70 m	99.7	VALUE >= 95.00 m
✓	0	1	Eye Width	754.69 m	64.1	VALUE >= 460.00 m
✓	0	1	Eye Height_B	168.60 m	110.8	VALUE >= 80.00 m

Full Test Results - slot 6d000_Gen3_Lane0_pre7.bin	
Sigtest Full Test Result <b>Pass!</b>	
Worst Total Eye Violations	Number Passing Eyes
0	Number Failing Eyes
Data Rate (Gbit/s)	Min Time Between Crossovers (ps)
0.00004	113.96563
Mean Unit Interval (ps)	Max Unit Interval (ps)
124.9993562	0.00
JITTER STATS	
Min Eye Width (ps)	RMS jitter (Per-Edge) (ps)
59.31694	0.00000
UI @ E-12	UI (RMS)
35.60306	20.74241
Mean Median Peak jitter (ps)	Max Median Peak jitter (ps)
0.00000	0.00000
Mean Peak-to-Peak jitter (ps)	Max Peak-to-Peak jitter (ps)
0.00000	33.28773
COMPOSITE EYE STATS	
Eye Height (mV)	Location within Eye (UI)
160.73502	0.56400
TRANSITION EYE STATS	
Min Eye Height (mV)	Max Voltage
191.14361	0.16458
Min Voltage	Min Top Margin
-0.16850	0.07516
Min Bottom Margin	Worst Number Violation
0.06399	0
NON TRANSITION EYE STATS	
Min Eye Height (mV)	Max Voltage
164.38521	0.16711
Min Voltage	Min Top Margin
-0.16994	0.05919
Min Bottom Margin	Worst Number Violation
0.05920	0
View HTML Report	



# 矢网一些测试展示



## 仿真与测试结合







# 一博珠海板厂一期已投产运营

一博珠海PCB板厂



4.5万平米  
占地面积

180万平米  
年规划产能

120层  
国内高端快件板厂

## 一站式硬件创新平台

PCB设计--制板--元器件--焊接组装

一博旗下控股子公司，珠海全新板厂位于珠海金湾区，占地面积4.5万平方米，年产量180万平米，规划分两期建设，一期全面投产专注于高端快件，提供高品质的高多层、高速、高精度、HDI等PCB生产制造。二期提供中大批量高速、高多层PCB生产。

珠海板厂距离一博珠海基地17公里、20分钟车程，实现快速的PCB设计研发到高品质、短交期的PCB及PCBA生产服务。一博助力客户缩短研发生产周期、聚焦客户痛点及难点，提供PCB设计、制板、焊接加工的一站式解决方案。







# 一博珠海板厂定位

<b>60:1</b> 成品孔厚径比	<b>120</b> <sub>层</sub> 层数	<b>±5</b> % 阻抗控制精度
<b>≤8</b> <sub>天</sub> 10-20层交付周期	<b>高端+快件</b> 工厂定位	<b>0.11</b> <sub>mm</sub> 机械孔钻孔孔径
<b>40</b> <sub>um</sub> 线宽线间距	<b>500+</b> <sub>订单/天</sub> 规划产量规模	<b>1-4</b> <sub>mil</sub> 背钻STUB

聚焦高端AI算力卡（高阶HDI）、高端服务器、ATE（晶圆测试）、工控、汽车电子、高端消费类、医疗、航空航天、网络设备、军工、光模块等产品。致力于推动国内PCB行业的技术进步，尤其是高速、高多层的复杂PCB产品的快速交付，20层及以下制板交期<8天，22层及以上在2周内交付，达到行业领先水平。产品广泛应用于工控、通讯、半导体测试、数据中心、AI算力等领域。



# THANK YOU!

EDADOC, Your Best Partner.



更多文章干货请扫码  
关注高速先生公众号



更多视频、直播干货  
关注高速先生视频号

